

# Micron<sup>®</sup> DDR5 SDRAM: 新機能

By [Randall Rooney](#) and [Neal Koyle](#)

## はじめに

本ホワイトペーパーは、マイクロンが以前に発表した「[Micron<sup>®</sup> DDR5 SDRAMの紹介:単なる世代更新ではない](#)」と題するDDR5に関するホワイトペーパーの補足です。以前のホワイトペーパーでは、DDR5（第5世代ダブルデータレート）SDRAMの主な機能およびDDR4と比較した大幅な性能向上に焦点を当てましたが、本ホワイトペーパーでは、前世代のSDRAMと比較したパフォーマンスの向上、RAS、および導入の簡素化に関してさらに詳しく説明します。

## パフォーマンス

### 全体的なバンクの増加

メモリの高密度化に伴い、バンクの数を増やす必要があります。DDR5は、バンクグループの数が倍増していますが、バンクグループごとのバンク数は同じです。これにより特定の時間に開けるページ数が増え、ページヒット率が高まるため、全体的なシステム効率が向上します。

バンクグループ間のインターリーブのタイミングアクセスは、特定のバンクグループ内のバンク間よりも短くなります。これらタイミングパラメータには、「long」タイミング定義（tCCD\_L、tWTR\_L、tRRD\_L）と「short」タイミング定義（tCCD\_S、tWTR\_S、tRRD\_S）があります。longタイミングは、バンクグループ内のバンク間のアクセスを意味し、shortタイミングは、異なるバンクグループへのアクセスを意味します（図1を参照）。目安として、tCCD\_Lは、tCCD\_Sの約2倍になります。バンクグループが増えると、shortタイミングが使用される確率が増え、内部のタイミング制約が減ります。

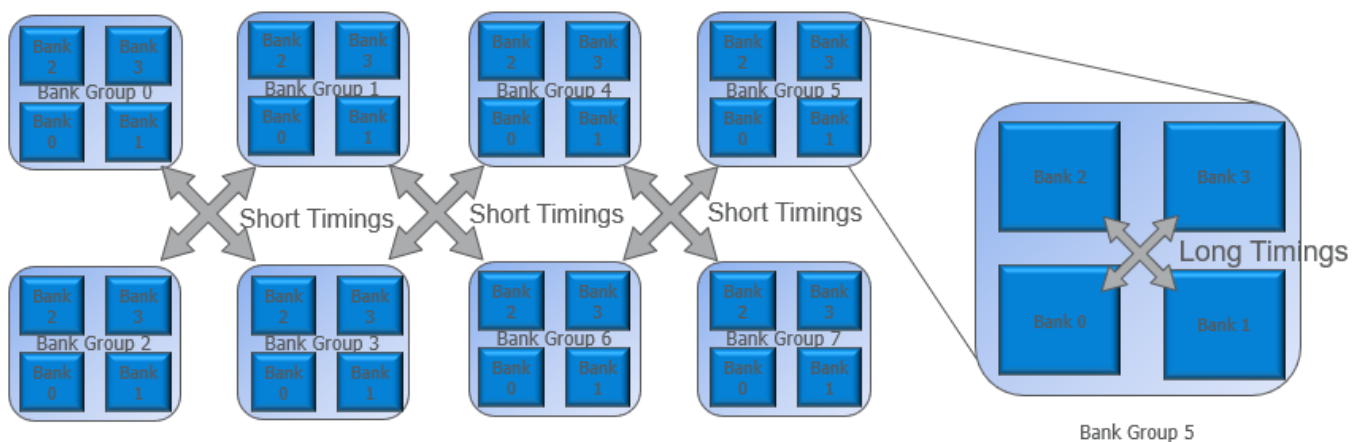


図1：DDR5バンク／バンクグループ・タイミング

## データバースト長の増加

DDR5 SDRAMのデフォルトのバースト長は、BL8（DDR4の場合）からBL16へ増加し、コマンド/アドレスとデータバスの効率性を向上させます。1つの読み出しまたは書き込みCAバストランザクションは、同じバンク内のIO/Arrayタイミング制約の中で、データバスで2倍のデータを転送できるようになりました。特定の量のデータへアクセスするために必要なコマンドを減らすことは、読み出しおよび書き込みの電力プロファイルを向上させます。

バースト長の増加により、同じ 64B キャッシュ・ライン・データ・ペイロードへのアクセスに必要なIOの数が減ります。デフォルトのバースト長の増加により、DDR5 DIMMアーキテクチャにおいてデュアル・サブチャンネルが可能となり（図2を参照）、それにより全体的なチャンネルの並行処理、柔軟性、およびカウントが増加します。128B キャッシュ・ライン・データ・ペイロードを使用するシステムの場合、DDR5は、x4構成デバイス用にバースト長32のオプションを追加します。これにより、コマンド/アドレス、データバス効率性、および全体的な電力プロファイルがさらに向上します。

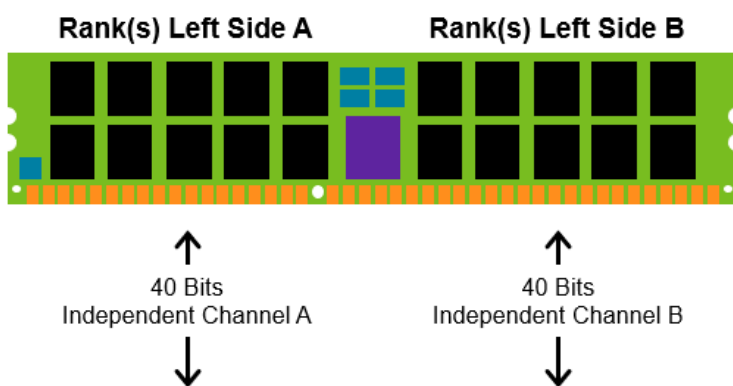


図2 簡素化されたDDR5 40ピン・サブチャンネルDIMMの例

## リフレッシュ・コマンド

DDR5および前のDDR SDRAM製品で利用できる標準のAll-bank リフレッシュ・コマンド（REFab）に加え、DDR5では、Same-bankリフレッシュ（REFsb）コマンドが追加されました。REFsbコマンドでは、すべてのバンクグループにおいて、コマンド発行時のコマンド/アドレスのバンクビットで指定したSame-bankがリフレッシュの対象となります。

SDRAMデバイスのリフレッシュ・コマンドでは、コマンドの発行前にリフレッシュ対象のバンクがアイドル状態であればならず（プリチャージ済み、データ処理なし）、バンクは、リフレッシュ・コマンド（タイミングパラメータtRFC）の期間中、その後の読み取りおよび書き込み処理を再開できません。リフレッシュ・コマンドは、平均リフレッシュ間隔（タイミングパラメータtREFI）ごとに発行されます。REFabコマンドの場合、すべてのバンクがアイドル状態で、「通常」リフレッシュモードで平均 $3.9\mu\text{s}$ のtREFIごとに295nsのtRFCが必要です（16Gb DDR5 SDRAMデバイスの場合）。

REFsbコマンドの性能面での利点は、コマンドの発行前に各バンクグループ内の1つのバンクのみがアイドル状態であれば良いことです。残り12個のバンク（16Gb x4/x8の場合；図3の青色の枠）は、REFsbコマンドの発行時にアイドル状態である必要はなく、リフレッシュ対象でないバンクの唯一のタイミングの制約は、遅延起動のためのsame-bank-refresh-to-active delay（タイミングパラメータtREFSBRD）のみです。REFsbコマンドは、FGR（ファイン・グレイン・リフレッシュ）モードでのみ発行できます。これは、各バンクが、平均 $1.95\mu\text{s}$ ごとにリフレッシュ・コマンドを受信しなければならないことを意味します。REFsbコマンド実行時間(tRFCsb)は、16Gb DDR5 SDRAMデバイスの場合、わずか130nsであり、バンク（図3の赤枠）のアクセスが禁止される時間が小さくなります。REFsbを使用する場合の制約として、REFsbコマンドを発行するSame-bank(16Gb x4/x8の場合Bank0-3)の順序は任意ですが、全てのSame-bank (Bank0-3)にREFsbコマンドを順次発行する必要があります。

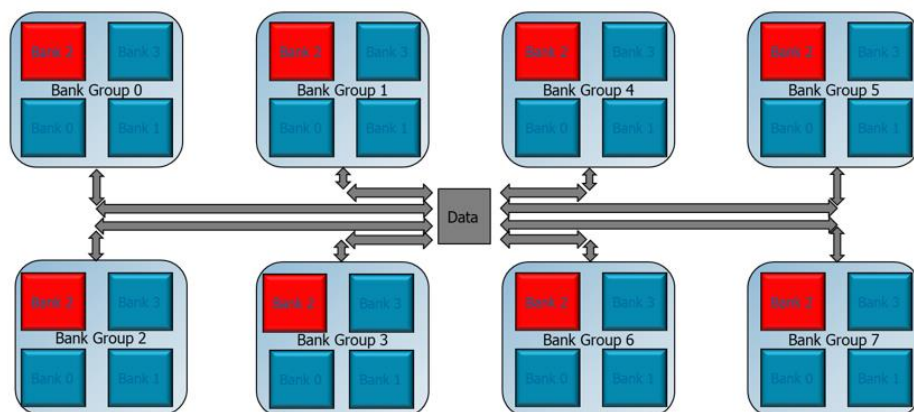


図 3 : DDR5 REFsbバンクマッピング

図4のシミュレーションは、REFsbを使用する場合、読み出し／書き込みコマンドの比率によって、REFabと比較してシステムの性能スループットが6～9%増加することを示しています。また、REFsbは、表1に示されているように、リフレッシュが平均アイドル遅延へ及ぼす影響を11.2nsから5.0nsへ減らします。計算は、標準的な待ち行列の理論に基づいており、無作為のデータドリブンのデータトラフィックを持つ1つのバンクにのみ適用されます。

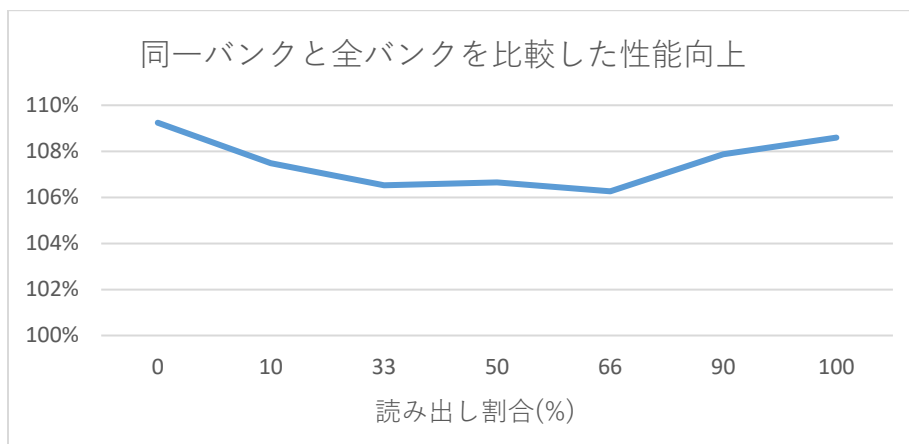


図4 : DDR5システムスループット性能向上

平均アイドル遅延に対するリフレッシュ加算	
REFab	11.2ns
REFsb	5.0ns

表1 : DDR5平均アイドル遅延加算

## パフォーマンスの向上

上記の機能（2xバンク、2xバンクグループ、BL16、およびSame-bankリフレッシュ）を考慮し、64Bランダムアクセス・ワークロードをシミュレートした場合、3200MT/sのDDR4デュアルランク・モジュールと比較して図5に示すようなパフォーマンスの向上が実現されます。このシナリオでは、システムあたり8個のチャンネルおよび1DPCを想定しています。

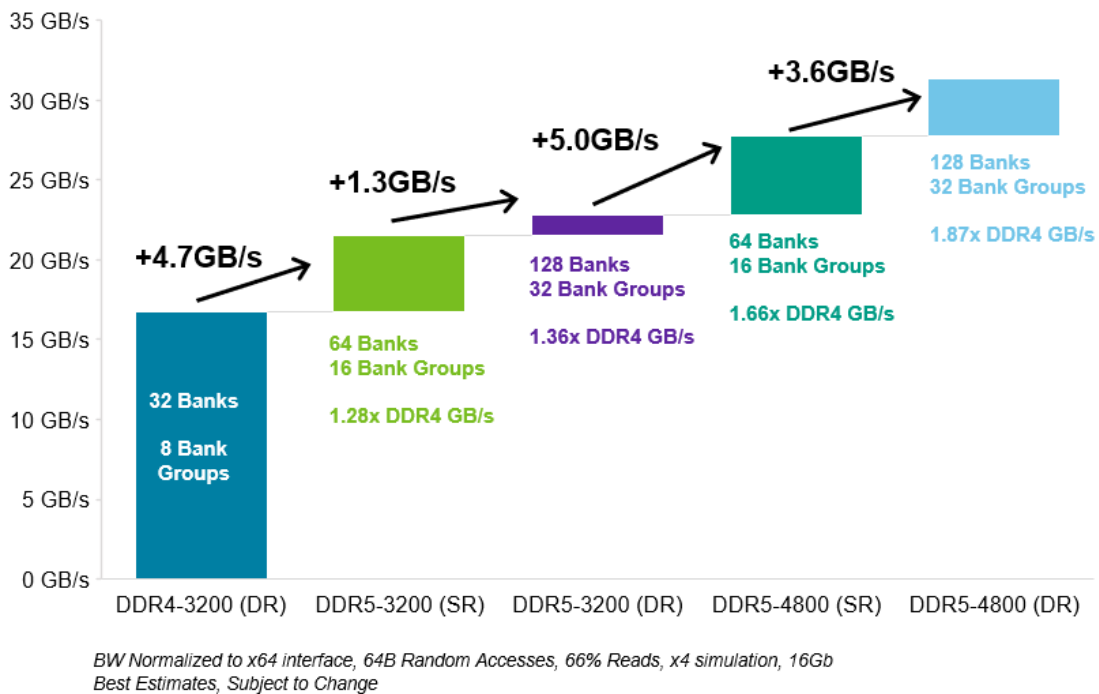


図5：スピード／モジュールランクによるDDR5の性能向上

## 信頼性、可用性、および保守性（RAS）

### オン・ダイ・エラー訂正符号（ECC）

DDR5ではREADコマンド中にデバイス内部でエラーを修正するオン・ダイECC機能が追加されました。オン・ダイECCによるRAS機能の向上はシステムレベルのエラー修正の負荷を軽減します。DDR5 SDRAM ECCは、シングルエラー修正（SEC）として実装され、128データビットと8パリティビットをペアにした136ビットのコードワードを構成し、WRITEコマンド中にDRAMへ保存されます。そのアドレスに対するその後のREADコマンドにおいて、136ビットに基づいてシンドロームが計算され、発生しうるシングルビットのエラーを修正します。

DDR5 SDRAM ECCの追加機能の1つがECS（エラーチェック&スクラブ）機能です。ECS機能は、内部データを読み取ってエラーが発生した場合それを修正し書き戻す機能です。ECSは、MPC（多目的コマンド）で開始する手動モードかまたは自動モードで実行できます。DDR5 SDRAMは、必要に応じてECSコマンドをスケジュールし実行することで完全なエラーチェック&スクラブを完了します（推奨は24時間以内の期間）。ECSの完了時、DDR5はエラー数がしきい値（MR15 – ECS Error Threshold Count）を超えると修正されたエラーの数をMR20へ、エラーの数が最も多いRowアドレスをMR16-19へ記録します。

### PPRの改良

PPR（ポストパッケージリペア）には、hPPR（ハード）とsPPR（ソフト）の2種類の修復機能があります。恒久的な修復（hPPR）、一次的な修復（sPPR）と言った方が分かりやすいでしょう。sPPRはPower cycleを実行すると修復結果がリセットされますが、hPPRは不揮発性でPower cycleを実行しても修復結果は維持されます。

DDR4 のsPPRは、バンクごとに関連行(associated rows)と呼ばれる複数の行が定義されており、sPPRイベントの前にそれらの行をバックアップする必要がありました。DDR5におけるsPPRの重要な改良点の1つは、sPPRイベントの前にバックアップすべき行の数が減ったことです。DDR5は、sPPRのターゲット行のみバックアップを必要とします。これにより、バックアップ&リストアするために必要なシステムの時間が最小限に抑えられます（通常は、行あたり最大2）。

PPRに追加されたもう1つの重要な機能は、PPRリソースの使用状況を追跡する機能です。ブートアップ時、各DRAMデバイスは、各バンクのPPRリソースの使用状況を追跡し、情報をモードレジスタ（MR54-57）に設定します。マルチダイ3DSスタックパッケージが使用されている場合、その中の各ダイは、同じモードレジスタを介して追跡されます。この改良により、3DSスタックデバイスを使用した大規模なメモリシステムにおけるRAS 機能の可視性が向上します。

## 導入の簡素化

### MPC（多目的コマンド）

DDR5デバイスにおけるクロック周波数の高速化は、初期化およびトレーニングの完了前に処理を実行する際の課題が生まれます。この課題を是正するために、インターフェースの初期化、トレーニング、定期的な較正などの機能を実行するMPC（多目的コマンド）が追加されました。過去の世代のDDR SDRAMデバイスでは、これら機能が個別のコマンドまたはモードレジスタの設定により実行されていました。

MPC機能は、コマンド/アドレスバスのMPC命令コード（8つのオペレーションビットを含む）により開始され、最大256個の機能を実行できます。デフォルトのMPCモードの設定は、CS\_n LOW を用いたマルチ・クロック・サイクルであり、コマンド/アドレスバスは、マルチサイクル期間全体を通して一定に保たれます。これにより、MPC を介してCSトレーニングモードを入力および完了できます。CS\_nとCKの調整後、MPCは、操作の効率性を向上させるためにシングル・サイクル・モードに切り替えることができます。

MPCは、初期化、トレーニング、および較正機能を実行する以外に、DLLのリセット、2Nと1Nのコマンドのタイミングの切り替え、PDA (Per DRAM Addressability) enumerateプログラミングおよびID選択、オン・ダイ・ターミネーションのための終端値の設定、および DLLその他のアレイタイミングの構成に使用されます。

## 結論

DDR5のアーキテクチャは、マイクロンがDRAMソリューションにより業界にもたらす価値を向上させます。バンクグループの増加、バースト長の増加、およびSame-bankリフレッシュなどにより実現された大幅なパフォーマンスの向上は、次世代のシステムの厳しい要件に対応し、総所有コスト (TCO) を削減するために役に立つでしょう。システムRASは、DDR5オン・ダイ・エラー修正コードおよびポストパッケージ修復の改良により向上しています。そして新しいMPC (多目的コマンド) によりメモリ管理の簡素化が実現されます。

DDR5がコンピューティングシステムへ提供する可能性に対する期待は高まり続けており、マイクロンは、この新しい製品ラインの可能性をシステムアーキテクトが最大限引き出せるように協力する準備ができています。

[micron.com](https://www.micron.com)

©2019 Micron Technology, Inc. All rights reserved. 無断複写・転載を禁じます。ここに示されているすべての情報は、商品性または特定目的の暗黙的保証および保証を含め、いかなる種類の保証もなしに「現状」で提供されています。マイクロン、マイクロンのロゴ、その他のマイクロンの商標は、マイクロンテクノロジー社の財産です。他のすべての商標は、各所有者の財産です。いかなるハードウェア、ソフトウェア、またはシステムも、すべての条件で絶対的な安全性および保護を提供できるわけではありません。マイクロンは、上記のセキュリティ製品が組み込まれている製品を含め、マイクロンの製品の仕様起因するデータの喪失、盗難、または破壊に対して責任を負いません。製品は、マイクロンの生産データシート仕様に合致する範囲でのみ保証されています。製品、プログラム、および仕様は、通知なく変更することがあります。改訂A 11/19 CCM004-676576390-11390